

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-234043

(43)Date of publication of application : 18.10.1991

(51)Int.Cl.

H01L 21/78

(21)Application number : 02-030061

(71)Applicant : ROHM CO LTD

(22)Date of filing : 09.02.1990

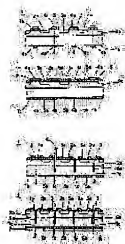
(72)Inventor : TANAKA YOSHINORI  
MATSUMOTO YOSHIJI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To prevent a wafer from defective separation by forming a mask along a dicing line on the rear surface of the wafer before an electrode is formed on the rear surface of the wafer, and removing this mask after the electrode is formed and before a sheet is affixed.

CONSTITUTION: Resists 4a and 4b are formed on the front surface 1a and the rear surface 1b of a silicon wafer 1 respectively. The resist 4b is formed in a belt shape along a dicing line 1. And electrodes 5a and 5b are formed on the front surface 1a and the rear surface 1b of the silicon wafer respectively and the resists 4a and 4b are removed, and the silicon wafer 1 is made for half-dicing in the direction from the front surface 1a to the rear surface 1b by using a dicing saw 6, and diodes on the silicon wafer 1 are electrically separated. Then, an extensible wafer sheet 7 is affixed to the rear surface 1b of the silicon wafer.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報(A) 平3-234043

⑬ Int. Cl.<sup>3</sup>  
 H 01 L 21/78

識別番号 庁内整理番号  
 V 6940-5F

⑭ 公開 平成3年(1991)10月18日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-30061

⑰ 出 願 平2(1990)2月9日

⑱ 発 明 者 田 中 義 憲 京都府京都市右京区西院渡崎町21番地 ローム株式会社内  
 ⑲ 発 明 者 松 本 美 司 京都府京都市右京区西院渡崎町21番地 ローム株式会社内  
 ⑳ 出 願 人 ローム株式会社 京都府京都市右京区西院渡崎町21番地  
 ㉑ 代 理 人 弁理士 中村 茂信

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) ウェハの表面及び裏面のそれぞれに電極を形成し、このウェハを表面より裏面に向けてハーフダイシングし、このウェハ裏面にシートを貼着したのち、このウェハをクラッキングし、前記シートを引き伸ばしてウェハを個々のチップに分離する半導体装置の製造方法において、

前記ウェハ裏面に電極を形成する前に、この裏面にダイシングラインに沿ってマスクを形成し、電極形成後シート貼着前にこのマスクを除去することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、ダイオード、トランジスタ、IC等の半導体装置の製造方法に関し、詳しく言えばウェハの分割不良防止に関する。

(ロ) 従来の技術

従来の半導体装置の製造方法を、ダイオードの場合を例に取り、第2図(a)～(e)を参照しながら説明する。第2図(a)では、N<sup>+</sup>のシリコンウェハ11に、熱拡散等の手段により、N層12b、P<sup>+</sup>層12aを順に形成し、P-N接合を得た状態を示している。13は、シリコン酸化膜である。

シリコンウェハ11の表面11a、裏面11bには、それぞれ電極15a、15bが形成される(第2図(c)参照)。これら電極15a、15bは、金属材料を真空蒸着、スパッタ、印刷あるいはめっきにより成膜したものである。電極15a、15bの形成されたシリコンウェハ11は、ダイシングラインに沿って、表面11aより裏面11bに向けてハーフダイシングされる(第2図(d)参照)。ハーフダイシングとは、シリコンウェハ11の裏面11b側を切断しないで少し残すことであり、ダイシング溝16aにより、ウェハの形態を保ったままで、各ダイオードが電気的に分離される。従って、この状態で各ダイオードの特性を順次チェックして行く。なお、ハーフダイシング

## 特開平3-234043(2)

は、上述のように、シリコンウェハ裏面側の電極が比較的薄く形成されている場合に適用されるダイシング方法である。

さらに、シリコンウェハ裏面11bには延伸性を有するウェハシート17が貼着した状態で、シリコンウェハ11をクラッキングして、シリコンウェハ11を各チップ18に分割する。そして、ウェハシート17を引き伸ばすと、各チップ18が一つ一つ分離する〔第2図(ii)参照〕。こうして分離されたチップ18を、コレット等で吸着し、リード上にダイボンディングする。

(ハ) 発明が解決しようとする課題

上記従来の半導体装置の製造方法では、シリコンウェハ11をクラッキングして、ウェハシート17を引き伸ばす際、電極15bを構成する金属のじん性により、チップ18同士が完全に分離せず、第2図(i)に示すようにつながった状態となることもある。このようにチップ18がつながっていると、ダイボンディングの前に手で切り離す必

要があり、製品不良にもつながる。

この発明は、上記に鑑みなされたもので、ウェハの分割不良を防止できる、半導体装置の製造方法の提供を目的としている。

(ニ) 課題を解決するための手段

上記課題を解決するため、この発明の半導体装置の製造方法は、ウェハの表面及び裏面のそれぞれに電極を形成し、このウェハを表面より裏面に向けてハーフダイシングし、このウェハ裏面にシートを貼着したのち、このウェハをクラッキングし、前記シートを引き伸ばしてウェハを個々のチップに分離する方法において、前記ウェハ裏面に電極を形成する前に、この裏面にダイシングラインに沿ってマスクを形成し、電極形成後シート貼着前にこのマスクを除去することを特徴とするものである。

(ホ) 作用

この発明の半導体装置の製造方法では、マスクがあった所には電極が形成されない。従って、ウェハ裏面では、ダイシングラインに沿って電極

が形成されていないことにより、クラッキングの際に、電極金属のじん性により生じる分割不良を防止することが可能となる。

(ヘ) 実施例

この発明の一実施例を第1図に基づいて以下に説明する。

第1図(ハ)は、シリコンウェハ1の断面を示している。このシリコンウェハ1は、例えばN<sup>+</sup>型のシリコンで、その表面1a側には、N層2b、P<sup>+</sup>層2aが熱拡散層等の手段により形成され、P-N接合が構成される。3は、シリコン酸化膜(SiO<sub>2</sub>)であり、P<sup>+</sup>層2a表面を除いてシリコンウェハ表面1aを被覆する。

シリコンウェハ1の表面1a、裏面1bには、それぞれレジスト4a、4bが形成される〔第1図(イ)参照〕。レジスト4aは、表面1aの電極をパターン付けするものである。また、レジスト4bは、ダイシングラインεに沿って帯状に形成される。これらレジスト4a、4bは、例えばホトリジストを表面1a、裏面1bにそれぞれスピン

コートし、ホットマスクを用いて露光した後、現像して不要部分を除去するホトリソグラフィを用いて形成する。

シリコンウェハ表面1a、裏面1bには、真空蒸着、スパッタリング、印刷等の手段を適用して、それぞれ電極5a、5bが形成される〔第1図(ロ)参照〕。

そして、レジスト4a、4bをそれぞれ剥離する〔第1図(ロ)参照〕。シリコンウェハ裏面1bでは、ダイシングラインεに沿って、帯状に電極の形成されていない部分が現れる〔第1図(ロ)参照〕。なお、レジスト5a、5bには、その上に電極が形成されにくい材質が好ましい。これはレジスト剥離時に電極部分が一緒に剥がれるのを防止するためである。

シリコンウェハ1は、表面1aより裏面1bに向けて、ダイシングソウ6を用いてハーフダイシングする。このハーフダイシングは、ダイシングラインεに沿って行われ、シリコンウェハ1の裏面1b側の部分1cは切斷せずに残しておく。ダ

インダクタ6によるダイシング溝6aによりシリコンウェハ1上のダイオードがそれぞれ電気的に分離される。この状態で、各ダイオードにブローをあてて、その特性を検査し、不良のあるダイオードにはマークを付けておく。

次に、シリコンウェハ裏面1bに、延伸性を有するウェハシート7が貼着される【第1図(向参照)】。このウェハシート7は、第1図(向)には示していないが、シリコンウェハ1の外形よりも大きくされている。

この状態でシリコンウェハ1をクラッキングし、個々のチップ8に分割する。すなわち、シリコンウェハ1のダイシング溝6aに残留した部分1cにクラックを入れる。そして、ウェハシート7を引き伸ばせば、シリコンウェハ1がチップ8に分割する【第1図(向参照)】。

電極5bは、ダイシングライン6aに沿う部分には形成されていないから、電極5bにクラックを入れて分割する必要がなくなり、チップ8がつつながったままになる分割不良は生じない。従って、

チップ8を手で分割する手間が省け、製品不良も生じにくくなる。

分離されたチップ8は、不良のものを除いて、コレット等に吸着され、図示しないリード等の上にはダイボンディングされる。

なお、上記実施例では、ダイオードについて説明しているが、この発明はトランジスタ、IC等、ウェハをチップに分割する工程を要する、すべての半導体装置の製造に適用可能である。

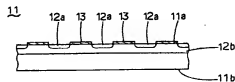
(ト) 発明の効果

以上説明したように、この発明の半導体装置の製造方法は、ウェハ裏面に電極を形成する前に、この裏面にダイシングラインに沿ってマスクを形成し、電極形成後シート貼着前にこのマスクを除去することと特徴とするものであるから、ウェハの分割不良を有効に防止することができる。

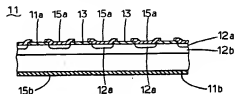
4. 図面の簡単な説明

第1図(a)、第1図(b)、第1図(c)、第1図(d)、第1図(e)及び第1図(f)は、それぞれこの発明の一実施例に係るダイオードの製造工程を順に説明する

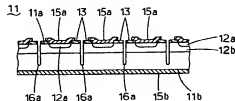
第2図(a)



第2図(b)



第2図(c)



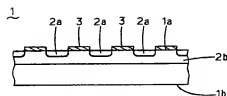
図、第2図(b)、第2図(c)、第2図(d)、第2図(e)及び第2図(f)は、それぞれ従来のダイオードの製造工程を順に説明する図、第2図(f)は、この従来のダイオードの製造工程の問題点を説明する図である。

1:シリコンウェハ、4a・4b:レジスト、  
5a・5b:電極、7:ウェハシート、  
8:チップ、6:ダイシングライン。

特許出願人 ローム株式会社  
代理人 弁理士 中村茂信

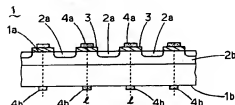
特開平3-234043 (4)

第 1 図 (a)

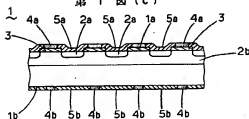


第 1 図 (b)

1: シリコンウェハ  
 4a・4b: レジスト  
 5a・5b: 電極  
 L: ダイシングライン

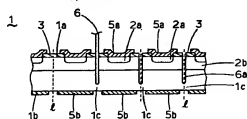


第 1 図 (c)

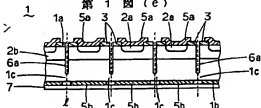


第 1 図 (d)

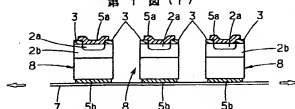
1: シリコンウェハ  
 5a・5b: 電極  
 7: ウェハシート  
 8: チップ  
 L: ダイシングライン



第 1 図 (e)

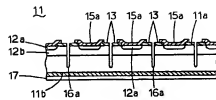


第 1 図 (f)

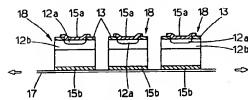


特開平3-234043 (5)

第 2 圖 (d)



第 2 圖 (e)



第 2 圖 (f)

